

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

---

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

(54) THIN FILM TRANSISTOR

(11) 1-30272 (A) (43) 1.2.1989 (19) JP

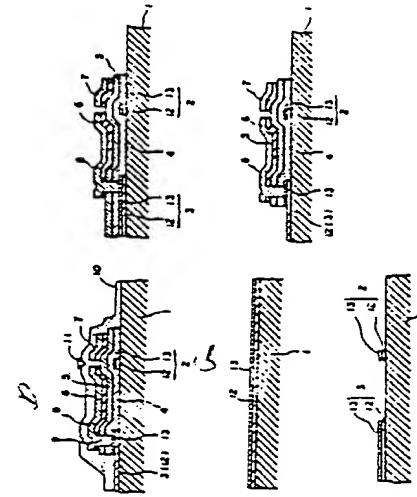
(21) Appl. No. 62-186830 (22) 27.7.1987

(71) ALPS ELECTRIC CO LTD (72) KAZUYA OKABE(1)

(51) Int. Cl. II01L29/78, G02F1/133, G09F9/35, H01L27/12

**PURPOSE:** To simplify a manufacturing process by a method wherein a gate electrode or source and drain electrodes provided on the side of a picture element electrode directly above a substrate is (are) composed of a double-layer structure (double-layer structures) of a transparent conductor layer and a metal layer (transparent conductor layers and metal layers).

**CONSTITUTION:** A transparent conductor layer 12 is formed over the whole surface of a transparent substrate 1 and a metal layer 13 is formed on it. Then the transparent conductor layer 12 and the metal layer 13 are etched and patterned into the forms of a picture element electrode 3 and a gate electrode 2. Then a silicon nitride layer to be a gate insulating film 4 and an amorphous silicon hydride layer to be a semiconductor layer 5 are successively formed over the whole surface and further a phosphorus-doped amorphous silicon hydride layer to be an  $n^+$  type layer 6 is formed and those layers are etched to be patterned and, at the same time, to form a contact hole 9. Then an aluminum layer to be a source electrode 7 and a drain electrode 8 is formed and then the metal film 13, the silicon nitride film, the amorphous silicon hydride film and the like are removed by etching and a passivation film 10 and a light shield 11 are formed.



## ⑪ 公開特許公報 (A)

昭64-30272

⑤ Int. Cl. 4

H 01 L 29/78  
G 02 F 1/133  
G 09 F 9/35  
H 01 L 27/12

識別記号

3 1 1  
3 2 7

厅内整理番号

P-7925-5F  
7370-2H  
7335-5C

④公開 昭和64年(1989)2月1日

A-7514-5F 審査請求 未請求 発明の数 1 (全4頁)

⑤発明の名称 薄膜トランジスタ

⑥特願 昭62-186830

⑦出願 昭62(1987)7月27日

⑧発明者 岡部 和弥 東京都大田区雪谷大塚町1番7号 アルプス電気株式会社  
内⑨発明者 関 斎 東京都大田区雪谷大塚町1番7号 アルプス電気株式会社  
内

⑩出願人 アルプス電気株式会社 東京都大田区雪谷大塚町1番7号

⑪代理人 弁理士 志賀 正武 外2名

## 明細書

## 1. 発明の名称

薄膜トランジスタ

## 2. 特許請求の範囲

基板面上の画素電極の側方に設けられるゲート電極もしくはソース電極およびドレイン電極が透明導体膜と金属膜との二層構造となっていることを特徴とする薄膜トランジスタ。

## 3. 発明の詳細な説明

## (産業上の利用分野)

この発明は液晶素子、センサ素子等をスイッチング駆動する薄膜トランジスタ(以下、TFTと略称する。)に関する。

## (従来の技術)

第6図は従来のTFTを示すもので、図中符号1は透明基板である。この透明基板1上には、セリコンなどの金属からなるゲート電極2が設けられ、これと若干離れてインジウムスズ酸化物(以下、ITOと略称する。)などの透明導電体

からなる画素電極3が設けられている。このゲート電極2上および画素電極3上的一部分には塗化ケイ素などからなるゲート絶縁膜4が設けられ、このゲート絶縁膜4上には水素化アモルファスシリコンなどからなる半導体膜5が形成され、この半導体膜5上にはリン原子ドープ水素化アモルファスシリコンなどからなるn<sup>+</sup>層6が所定のチャンネルを介して設けられている。さらに、n<sup>+</sup>層6上にはアルミニウムなどの金属からなるソース電極7およびドレイン電極8が設けられ、このドレイン電極8は画素電極3上のゲート絶縁膜4、半導体膜5およびn<sup>+</sup>層6に形成されたコンタクトホール9を介して画素電極3に接続されている。また、この基板全面にはシリカなどからなるバッシベーション膜10が形成され、バッシベーション膜10の上記チャンネルに対応する位置にはアルミニウムなどの金属からなるライトシールド11が設けられている。

このようなTFTを製造するには、画素電極3となるITO膜を基板1全面に成膜したのち、バ

ターニングして画素電極3を形成し、ついでこの上からゲート電極2となるモリブデン膜を全面成膜し、同様にバターニングしてゲート電極2を形成する。ついで、この上にゲート絶縁膜4、半導体膜5、 $n^+$ 膜6、ソース電極7、ドレイン電極8を順次成膜、バターニングすることにより行われる。

(発明が解決しようとする問題)

しかしながら、このようなTFTにあっては、その製造に対して上述の如く製造工程が多く、ホトリソエッティング工程に起因する欠陥によって歩留りを十分高くすることが困難である問題があった。

この発明は上記事情に鑑みてなされたもので、その製造にあたって製造工程を簡略化でき歩留りの向上が可能なTFTを提供することを目的とするものである。

(問題点を解決するための手段)

この発明では、基板直上の画素電極の側方に設けられるゲート電極もしくはソース電極およびド

レイン電極が透明導電体膜と金属膜との二層構造することをその解決手段とした。

このような構造のTFTとすることにより、画素電極となるITO膜などの上にゲート電極あるいはソース電極およびドレイン電極となるモリブデン膜など形成し、これを同時にバターニングしてゲート電極あるいはソース電極およびドレイン電極と画素電極とを作ることができ、これによって画素電極とゲート電極あるいはソース電極およびドレイン電極との形成の際のホトマスクが1枚省略され、かつホトリソエッティング工程が1回省略できることになり、工程短縮化が可能となり歩留りが改善される。

第1図は、この発明のTFTの例を示すもので、この例のTFTが第6図に示したTFTと異なるところはゲート電極2および画素電極3の一部が二層構造となっている点である。すなわち、基板1直上のITOなどからなる透明導電体膜12と、この透明導電体膜12上のモリブデンなどからなる金属膜13の二層から構成されている。

このような構造のTFTは次のようにして製造される。

まず、第2図に示すように透明基板1全面にITOなどからなる透明導電体膜12を成膜し、この上全面にモリブデンなどからなる金属膜13を成膜する。次に、これら透明導電体膜12および金属膜13を王水系のエッティング剤を用いてエッティングし、第3図に示すように画素電極3とゲート電極2との形状にバターニングする。ついで、第4図に示すようにこの上にゲート絶縁膜4となる塗化ケイ素などと、半導体膜5となる水素化アモルファスシリコンなどを順次成膜し、さらに $n^+$ 膜6となるリン原子ドープ水素化アモルファスシリコンなどを成膜してバターニングすると同時にコンタクトホール9をエッティングして形成する。ついで、ソース電極7およびドレイン電極8となるアルミニウムなどの金属を成膜し、バターニングする。こののち、第5図に示すように画素電極3となる透明導電体膜12上の金属膜13、塗化ケイ素膜、水素化アモルファスシリコン等をエッ

チング除去して透明導電体膜12を露出する。ついで、常法に従ってバッシベーション膜10、ライトシールド11を形成すれば、第1図に示すような目的とするTFTを得ることができる。

このような構造のTFTでは、その製造に際して上述のように画素電極3となる透明導電体膜12と、ゲート電極2となる金属膜13を二層に成膜し、これら二層を同時にエッティングして画素電極3とゲート電極2とすることができる。このため、ホトマスクを1枚省略でき、ホトエッティング工程も1回省略することができる。また、画素電極3となる透明導電体膜12上の金属膜13の除去も、従来から行われているゲート絶縁膜4をなす塗化ケイ素膜などと、半導体膜5をなす水素化アモルファスシリコン膜などとのエッティング除去時に同時に行うことができる。金属膜13の除去によって新たに工程が増加することもない。よって、このTFTを製造するにあたっては、ホトリソエッティング工程に起因する欠陥が減少し、歩留りが向上する。

また、画素電極3となる透明導電体層12上に一部残る金属層13は、ゲート絶縁層4などの下方に位置するので、画素電極3の開口率を低下させることもなく、また導電性であるので、ドレイン電極8と画素電極3との電気的接続を妨害することもない。

なお、ゲート電極2が接続されるゲートバスも同様の二層構造とすることができるのは当然である。

上記実施例のTFTは逆スタガー構造のものであるが、ソース電極、ドレイン電極とゲート電極との配置関係が上下逆転した順スタガー構造のTFTにおいても同様の構成をとることが可能であり、順スタガー構造のTFTではソース電極およびドレイン電極を透明導電体層と金属層との二層構造とすればよく、製造に際しても、同様にホトマスクが1枚省略でき、ホトリソエッティング工程が1回省略できる。

#### (発明の効果)

以上説明したように、この発明の薄膜トランジ

7 ……ソース電極、  
8 ……ドレイン電極。

出願人 アルプス電気株式会社  
代表者 片岡勝太郎

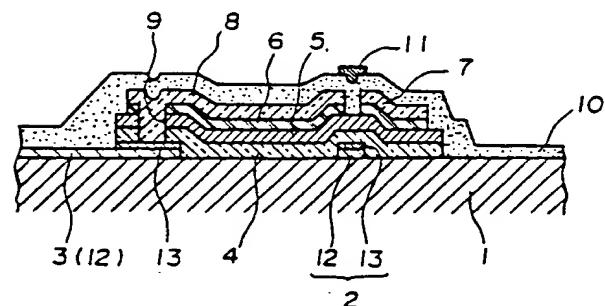
スタは、基板直上の画素電極の側方に設けられるゲート電極もしくはソース電極およびドレイン電極が透明導電体層と金属層との二層構造となっているものであるので、その製造に際しては画素電極とゲート電極のバーニングあるいは画素電極とソース電極とドレイン電極のバーニングを1回で行うことが可能となり、これによってホトマスクが1枚省略でき、ホトリソエッティング工程が1回省略でき、ホトリソエッティングに伴う欠陥が減少し、製造歩留りが向上する。

#### 4. 図面の簡単な説明

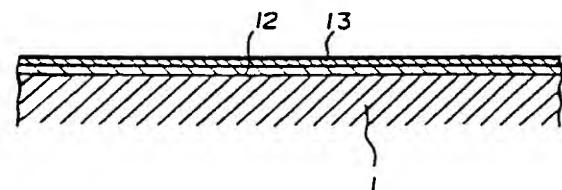
第1図は、この発明の薄膜トランクスタの一例を示す概略断面図、第2図ないし第5図は、第1図に示した薄膜トランクスタの製造を工程順に示した概略断面図、第6図は従来の薄膜トランジスタの例を示す概略断面図である。

1 ……透明基板、  
2 ……ゲート電極、  
3 ……画素電極、

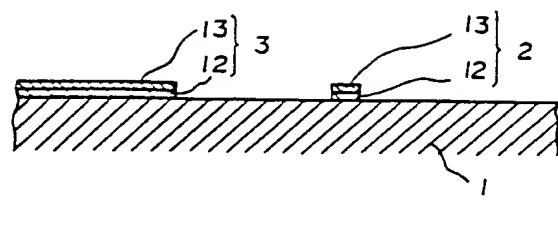
### 第1図



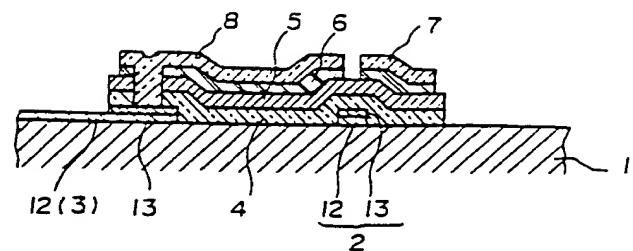
### 第2図



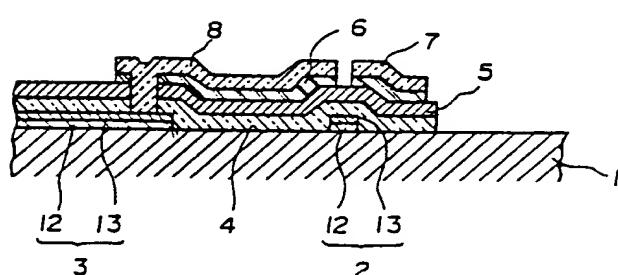
第3図



第5図



第4図



第6図

